

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-113563

(43)Date of publication of application : 15.04.1992

(51)Int.Cl. G11B 20/10  
G11B 20/14  
H04L 25/49

(21)Application number : 02-231703 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
(22)Date of filing : 31.08.1990 (72)Inventor : IKETANI AKIRA

(54) DIGITAL SIGNAL RECORDING METHOD

(57)Abstract:

PURPOSE: To sharply reduce the decision error of video data and audio data caused by regenerative error and to improve an error rate as a whole by selecting a synchronizing pattern corresponding to a data word when inserting the synchronizing pattern showing the head of a recording block to the recording block.

CONSTITUTION: When inserting the synchronizing pattern I showing the head of the recording block composed of plural information symbols to this recording block, the synchronizing pattern is selected corresponding to the data word. Namely, the synchronizing pattern to the video data is made different from the synchronizing pattern to the audio data, and the two kinds of synchronizing patterns are discriminated by using both the identification of the two kinds of synchronizing patterns and a conventional identification code or utilizing that the number of bits in the synchronizing pattern is more than that of the identification code and that the probability for the synchronizing pattern for video to be completely erroneously recognized as the synchronizing pattern for audio is extremely low. Thus, the video data and the audio data can be correctly identified.



## ⑫ 公開特許公報(A) 平4-113563

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月15日

G 11 B 20/10  
20/14  
H 04 L 25/493 5 1 Z 7923-5D  
3 5 1 Z 8322-5D  
A 8627-5K

審査請求 未請求 請求項の数 2 (全11頁)

⑮ 発明の名称 デジタル信号記録方法

⑯ 特 願 平2-231703

⑰ 出 願 平2(1990)8月31日

⑱ 発 明 者 池 谷 章 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
 ⑳ 代 理 人 弁理士 小 鍛 治 明 外2名

## 明 細 書

## 1. 発明の名称

デジタル信号記録方法

## 2. 特許請求の範囲

(1) 複数の情報記号により構成する記録ブロックにこの先頭を示す同期パターンを挿入するに際し、前記データ語に応じて前記同期パターンを選択することを特徴とするデジタル信号記録方法。

(2) 記録ブロックが8ビットのデータ語を12ビットの符号語に変換し前記符号語同士を接続して得るビット列における同一2進値の連続ビット数が2以上であり、同期パターンが11111001111111110011111および00000110000000000011111であることを特徴とする請求項(1)記載のデジタル信号記録方法。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、デジタルVTR等のデジタル信号の高密度記録に用いて好適なるデジタル信号

記録方法に関する。

## 従来の技術

現在市販のデジタルVTR(以下DVTRと記す)は放送用のみであり、第2図のようなブロック形式で記録している。つまり、ブロックの先頭を示す同期パターンと、当該ブロックの記録データに関する情報を示すIDと、記録データである。再生時にはこの同期パターンを検出してブロックの先頭を特定し、この後IDやデータを復元する。

現在市販の放送用DVTRでは、ビデオデータに関する同期パターンとオーディオデータに関する同期パターンは同一である。ビデオデータとオーディオデータは、第2図のIDの一部として、それぞれのデータが含まれる記録ブロック毎に互いに識別できる特別な識別コードを付加して記録される。一方、再生時にはこの識別コードにより再生データがビデオかオーディオかを識別し、この結果に応じて後続の処理を切り換えている。

発明が解決しようとする課題

以上示したように、D V T Rではビデオデータとオーディオデータは、記録ブロック内の識別コードにより再生時の処理を変更している。したがって、再生時にこの識別コードが誤れば、ビデオデータがオーディオデータとして処理されたり、逆にオーディオデータがビデオデータとして処理される。これはごく僅かな誤りが結果的に大きな誤りになる典型的な例であり、実用上大きな問題である。

現在市販のD V T Rは高価な放送用であるために、識別コードに対する誤り対策を十分に行なうための回路手段を豊富につぎ込み、この課題を解決しているが、将来市販されるであろう家庭用のD V T Rでは、販売価格との関係から放送用のように大規模な誤り対策回路を実装することはできない。したがって、比較的容易にこのような誤りを大きく低減できる方法を見出すことが、家庭用D V T Rを実現するに当たっての大きな課題である。

#### 課題を解決するための手段

本発明の目的は、この課題を解決するために以

下を示す新たな方法を提供することである。

複数の情報記号により構成する記録ブロックにこの先頭を示す同期パターンを挿入するに際し、前記データ語に応じて前記同期パターンを選択するデジタル信号記録方法。

#### 作用

本発明は、ビデオデータに対する同期パターンとオーディオデータに対する同期パターンを別にし、2種類の同期パターンの識別と従来の識別コードを併用するか、または同期パターンは識別コードよりビット数が多く、ビデオ用の同期パターンがオーディオ用の同期パターンに完全に誤る確立が極めて低いことを利用して、2種類の同期パターンを区別するだけでも、ビデオとオーディオを正しく識別できる。

#### 実施例

本実施例では、高密度記録に適した8/12符号を一例として説明する。8/12符号は8ビットのデータ語を12ビットの符号語に変換し、変換後の12ビットの符号語同士を、定められた規則にしたがっ

て、接続して得られるビット列における同一2進値の連続ビット数を最小2 ( $=d$ )、最大10 ( $=k$ ) に制限する符号である。以下、8/12符号について詳細に説明する。

なお、説明の都合上、8/12符号で使用する符号語を分類するために、第3図に示すような符号語の特徴を表わすパラメータを定める。つまり、

Lブロック：1ビット同一2進値TBが連続する符号語の始端部

Rブロック：rビット同一2進値LBが連続する符号語の終端部

Bブロック：b ( $=12-l-r$ ) ビットの符号語の中間部

8/12符号で使用する符号語としては次の条件を満たすものに限る。

- (I)  $1 \leq l \leq 9$   $1 \leq r \leq 9$
- (II) Bブロックにおいては完全にd, k制限を満たす
- ( ) は、Bブロックにおいては2ビット以上10ビット以下の0と1が交互に続くことを意味する

( $b=0$ を除く)。さらに、lとrに関して次のパラメータF, Eを導入する。

$$F=0 \quad (l=1),$$

$$F=1 \quad (2 \leq l \leq 5),$$

$$F=2 \quad (6 \leq l \leq 9)$$

$$E=0 \quad (r \leq 1),$$

$$E=1 \quad (2 \leq r \leq 5),$$

$$E=2 \quad (6 \leq r \leq 9)$$

こうして定めた4つのパラメータ(TB, F, E, LB)に基づいて、符号語どうしの接続を制御するが、この制御と言うのは、第4図に示す第1符号語W1と第2符号語W2との接続に関して、符号語W1のRブロックと符号語W2のLブロックによる接続部においてもd, k制限を満たすようにすることを意味する。以下では、この符号語どうしの接続に関する規則を接続規則と呼ぶ。

第1表に、前記4つのパラメータ(TB, F, E, LB)に基づいて規定した、本発明における符号語の組み合わせ規則を示す。

(以下余白)

第1表

No.	TB	F	E	LB	例 (d=2, k=10)
1.1	0	0	0	0	0 1 1 . . . . . 1 1 0
1.2	0	0	0	1	0 1 1 . . . . . 0 0 1
1.3	1	0	0	0	1 0 0 . . . . . 1 1 0
1.4	1	0	0	1	1 0 0 . . . . . 0 0 1
2.1	0	0	1	0	0 1 1 . . . . . 1 1 0 0 0 0 0
2.2	1	0	1	1	1 0 0 . . . . . 0 0 1 1 1 1 1
3.1	0	0	1	1	0 1 1 . . . . . 0 0 1 1 1 1 1
3.2	1	0	1	0	1 0 0 . . . . . 1 1 0 0 0 0 0
4.1	0	0	2	0	0 1 1 0 0 0 0 0 0 0 0 0 0
4.2	0	0	2	1	0 1 1 0 0 0 1 1 1 1 1 1 1
4.3	1	0	2	0	1 0 0 1 1 1 1 1 1 1 1 1 1
4.4	1	0	2	1	1 0 0 1 1 1 0 0 0 0 0 0 0
5.1	0	1	0	0	0 0 0 0 0 0 1 1 . . . 1 1 0
5.2	0	1	0	1	0 0 0 0 0 0 1 1 . . . 0 0 1
6.1	1	1	0	0	1 1 1 1 1 0 0 . . . 1 1 0
6.2	1	1	0	1	1 1 1 1 1 0 0 . . . 0 0 1
7	0	1	1	0	0 0 0 0 0 0 1 1 0 0 0 0 0
8	0	1	1	1	0 0 1 1 1 1 0 0 0 0 0 0 1
9	1	1	1	0	1 1 0 0 0 0 1 1 0 0 0 0 0
10	1	1	1	1	1 1 0 0 0 0 1 1 0 0 0 0 1
11.1	0	1	2	0	0 0 1 1 0 0 0 0 0 0 0 0 0
11.2	0	1	2	1	0 0 1 1 0 0 0 1 1 1 1 1 1
12.1	1	1	2	0	1 1 1 0 0 0 0 0 0 0 0 0 0
12.2	1	1	2	1	1 1 1 0 0 0 1 1 1 1 1 1 1
13.1	0	2	0	0	0 0 0 0 0 0 0 0 0 0 1 1 0
13.2	0	2	0	1	0 0 0 0 0 0 0 0 0 1 1 0 1
13.3	1	2	0	0	1 1 1 1 1 1 1 1 0 0 1 1 0
13.4	1	2	0	1	1 1 1 1 1 1 1 1 0 0 1 1 1
14.1	0	2	1	0	0 0 0 0 0 0 0 0 0 0 1 1 0
14.2	1	2	1	1	1 0 1 1 1 1 1 1 0 0 0 1 1
15.1	0	2	1	1	0 0 0 0 0 0 0 0 0 0 1 1 1
15.2	1	2	1	1	1 1 1 1 1 1 1 1 0 0 0 0 0

(以下余白)

組み合わせる。なお、Xは0および1のいずれをも表わす。

(CW-No = 2, 3, 14, 15)

- (3)
- $F = 1, E \neq 1, TB = 1, LB = 1$
- の符号語

CW(1, E, 1)は、CW(1, E, 1)とF, E, TBの値が等しく、LB=0の符号語CW(1, E, 0)と組み合わせる。

(CW-No = 5, 6, 11, 12)

- (4)
- $F = 1, E = 1$
- の符号語CW(1, 1, X)とその裏パターンCW(1, 1, X)'は他の符号語とは組み合わせないで、単独でデータ語に対応させる。

(CW-No = 7, 8, 9, 10)

以上示した(1)~(4)の符号語の組み合わせにより、第2表に見られるように、符号語を接続した場合においても必ずd, k制限を満たすことができる。

(以下余白)

第1表において、CW-Noは符号語の組み合わせ番号と、その組み合わせを構成する符号語の識別番号であり、一つの組み合わせを構成する符号語には同一のデータ語を対応させる。

第1表におけるTB, F, E, LBは符号語に関するパラメータであり、例はそのパラメータによって表わせる符号語の一例を示す。次に第1表の符号語の組み合わせ則について詳細に説明する。なお、符号語Aにおける1を0、0を1にすべて置き換えた符号語を符号語Aの裏パターンと呼び、A'と表わすものとする。

- (1)
- $F \neq 1, E \neq 1, TB = 1, LB = 1$
- の符号語

CW(F, E, 1)は、その裏パターンCW(F, E, 1)'とCW(F, E, 1)とF, E, TBの値が等しく、LB=0の符号語CW(F, E, 0)と、その裏パターンCW(F, E, 0)'と組み合わせる。

(CW-No = 1, 4, 13)

- (2)
- $F \neq 1, E \neq 1, TB = 1$
- の符号語CW(F, 1, X)は、その裏パターンCW(F, 1, X)'と

第2表

パラメータ					例 (d=2, k=10)	
E	LB	F	Y	S	第1符号語	第2符号語
0	0	0	1	—	.....110	011.....
0	0	0	0	—	.....001	100.....
0	1	0	1	0	.....110	0000011.....
0	1	1	0	1	.....001	1111100.....
0	0	1	2	1	.....110	0000000011.....
0	1	2	0	—	.....001	1111111100.....
1	0	0	0	—	.....1100000	011.....
1	0	0	1	—	.....0011111	100.....
1	1	0	0	—	.....1100000	1111100.....
1	1	1	0	—	.....1100000	0000011.....
1	1	1	1	—	.....0011111	1111100.....
1	0	1	2	0	.....0011111	0000011.....
1	1	2	0	—	.....1100000	1111111100.....
2	0	0	1	—	.....0011111	0000000011.....
2	0	0	0	—	.....11000000000	011.....
2	1	0	1	—	.....00111111111	100.....
2	1	1	0	0	.....11000000000	1111100.....
2	1	1	1	1	.....00111111111	0000011.....
2	1	2	0	—	.....11000000000	1111111100.....
2	1	2	1	—	.....00111111111	0000000011.....

12ビットの符号語の内、前記(I)、(II)の条件を満たす符号語のみに対して、(1)~(4)にしたがって、組み合わせを行った結果得られる符号語の組数は、第3.1~3.7表に示すように264である。なお、第3.1~3.7表におけるDPは符号語における1と0の個数の差(ディスパリティと呼ぶ)の絶対値を表わしている。

(以下余白)

第 3.1 表

No.	符号語	DP	No.	符号語	DP
0	111100110000	0	30	111100111100	4
1	111001110000	0	31	111001111100	4
2	111100011000	0	32	110011111100	4
3	111000111000	0	33	110000001100	4
4	110011110000	0	34	110011100000	2
5	111100001100	0	35	111100011100	2
6	110001111000	0	36	111001100000	2
7	111000011100	0	37	111001111000	2
8	1100111001100	0	38	111000011000	2
9	110000111100	0	39	111100111000	2
10	110000001111	0	40	111100000111	2
11	111000000111	0	41	110011000111	2
12	111100000011	0	42	111001100011	2
13	110001100011	0	43	110001100111	2
14	110011000011	0	44	111000110011	2
15	110000110011	0	45	110000000111	2
16	111000110000	2	46	111000000011	2
17	111000111100	2	47	110011100011	2
18	110000111000	2	48	111110000011	2
19	111110011000	2	49	110001110011	2
20	110011111000	2	50	110000011111	2
21	111000001100	2	51	111000001111	2
22	111110001100	2	52	111100001111	4
23	110001110000	2	53	111110000111	4
24	110001111100	2	54	111000011111	4
25	110000011100	2	55	110011100111	4
26	110000011000	4	56	111001100111	4
27	110000110000	4	57	110011100111	4
28	111110011100	4	58	111001110011	4
29	110001100000	4	59	110011110011	4

(以下余白)

第 3.2 表

No.	符号語	DP	No.	符号語	DP
60	111100110011	4	229	001111100111	4
61	110000000011	4	228	001111001111	4
62	111100011111	6	227	000001100011	4
63	111110001111	6	226	001110011111	4
255	000011001111	0	225	000011000011	4
254	000110001111	0	224	000110000011	4
253	000011100111	0	223	001100000011	4
252	000111000111	0	222	001111110011	4
251	001100001111	0	221	001100011111	2
250	000011110011	0	220	000011100011	2
249	001110000111	0	219	000110011111	2
248	000111100011	0	218	000110000111	2
247	001100110011	0	217	000111100111	2
246	001111000011	0	216	000011000111	2
245	001111110000	0	215	000011110000	2
244	000111111000	0	214	001100111000	2
243	000011111100	0	213	000110011100	2
242	001110011100	0	212	001110011000	2
241	001100111100	0	211	000111001100	2
240	001111001100	0	210	001111111000	2
239	000111001111	2	209	000111111100	2
238	000111000011	2	208	001100011100	2
237	001111000111	2	207	000001111100	2
236	000001100111	2	206	001110001100	2
235	001100000111	2	205	001111100000	2
234	000111110011	2	204	000111110000	2
233	000001110011	2	203	000011110000	4
232	001110001111	2	202	000001111000	4
231	001110000011	2	201	000111100000	4
230	001111100011	2	200	001100110000	4

(以下余白)

第 3.3 表

No.	符号語	DP	No.	符号語	DP
199	000110011000	4	86	100000001100	6
198	001100011000	4	87	100000011111	0
197	000110001100	4	88	100011000111	0
196	001100001100	4	89	100110000111	0
195	000011001100	4	90	100001100111	0
194	001111111100	4	91	100011100011	0
193	000011100000	6	92	100111000011	0
192	000001110000	6	93	100001110011	0
64	100111110000	0	94	100011001111	2
65	100011111000	0	95	100000001111	2
66	100110011100	0	96	100111000111	2
67	100111001100	0	97	100110001111	2
68	100001111100	2	98	100111100011	2
69	100011110000	2	99	100011000011	2
70	100111111000	2	100	100011110011	2
71	100111000000	2	101	100001100011	2
72	100110001100	2	154	100011100111	2
73	100110011000	2	155	100110000011	2
74	100011001100	2	156	100000110011	2
75	100001111000	2	157	100111100111	4
76	100000111100	2	158	100110011111	4
77	100011111100	2	159	100000000111	4
78	100000111000	4	160	100111110011	4
79	100011100000	4	161	100111001111	4
80	100001110000	4	162	100000000011	6
81	100000011100	4	163	111111100000	2
82	100111111100	4	164	111111001100	4
83	100000110000	6	165	111111100000	4
84	100001100000	6	166	111111110000	6
85	100000011000	6	167	111111000011	4

(以下余白)

第 3.4 表

No.	符号語	DP
168	111111100011	6
169	111111000111	6

No.	符号語 1	DP	符号語 2	DP
102	1111000000110	0	1111100000001	0
103	1110000001110	0	1110001100001	0
104	1100110001110	0	1110011000001	0
105	1100011001110	0	1110000110001	0
106	1100000111110	0	1100011100001	0
107	1111000011110	2	1100111000001	0
108	1110000001110	2	1100001110001	0
109	1100110011110	2	1111000110001	2
110	1111100001110	2	1111000000001	2
111	1100111001110	2	1110011100001	2
112	1110011001110	2	1111001100001	2
113	1100001111110	2	1100111100001	2
114	1110000111110	2	1100011000001	2
115	1100000001110	2	1100011110001	2
116	1111100011110	4	1100001100001	2
117	1111000111110	4	1110001110001	2
118	1100011111110	4	1100110000001	2
119	1110001111110	4	1100000110001	2
120	1100000001110	4	1110011110001	4
121	1111100111110	6	1111100110001	4
122	1110011111110	6	1110000000001	4
123	1100111111110	6	1100111110001	4
124	1111001111110	6	1111001110001	4
153	000011111001	0	000001111110	0
152	000111110001	0	000111001110	0

(以下余白)

第3.5表

No.	符号語 1	DP	符号語 2	DP
151	001100111001	0	000110011110	0
150	001110011001	0	000111100110	0
149	00111100001	0	001110001110	0
148	000011110001	2	001100001110	0
147	00011111001	2	001111000110	0
146	001100110001	2	000011100110	2
145	000001111001	2	000011111110	2
144	001100011001	2	000110001110	2
143	000110011001	2	000011001110	2
142	001111000001	2	001100001110	2
141	000111100001	2	001110011110	2
140	001111110001	2	001110000110	2
139	000001110001	4	001111001110	2
138	000011100001	4	000111000110	2
137	001110000001	4	001100111110	2
136	000111000001	4	001111001110	2
135	00111111001	4	000110000110	4
134	000001100001	6	000001100110	4
133	000110000001	6	000111111110	4
132	001100000001	6	001100000110	4
131	000011000001	6	000011000110	4
125	111110000000	2	110000111111	4
126	111100000000	4	111000111111	6
127	110011000000	4	110001111111	6
130	000001111111	2	001111000000	4
129	000011111111	4	000111000000	6
128	001100111111	4	001110000000	6
170	100110001110	0	100110011001	0
171	100111000110	0	100011110001	0
172	100011001110	0	100111100001	0

(以下余白)

第3.6表

No.	符号語 1	DP	符号語 2	DP
173	100011100110	0	100001111001	0
174	100000111110	0	100011100001	2
175	100111001110	2	100001110001	2
176	100110011110	2	100111000001	2
177	100110000110	2	100111110001	2
178	100111100110	2	100011111001	2
179	100001100110	2	100000111001	2
180	100011000110	2	100001100001	4
181	100001111110	2	100000110001	4
182	100000011110	2	100011000001	4
183	100011111110	4	100110000001	4
184	100000001110	4	100111111001	4
185	100111111110	6	100000011001	4
186	100111000000	4	100000111111	2
187	100110000000	6	100001111111	4
188	100011000000	6	100011111111	6
189	111111000110	4	111111000001	2
190	111111001110	6	111111100001	4
191	111111100110	6	111111110001	6

(以下余白)

第3.7表

No.	符号語	DP
256	111110011111	8
257	000001100000	8
258	111111001111	8
259	111111100111	8
260	111111110011	8

No.	符号語 1	DP	符号語 2	DP
261	111000000000	6	110011111111	8
262	000111111111	6	001100000000	8
263	100000000110	6	100000000001	8

8ビットのデータ語数が256であることから、本発明の $d=2$ 、 $k=10$ を満たす12ビットのRLL符号は8ビットのデータ語をもれなく符号変換できる。ところで、通常のデジタル記録では複数のデータを1ブロックとして、ブロック毎にブロック同期のための同期パターンを付加した形式を用いる。この同期パターンとしては、通常のデータの中には決して現われない特殊なパターンを選択する。

本発明では、データ語に対応させる符号語としては、第3.1～3.6表におけるDPが6以下の符号

語に限り(256語)、同期パターンとしてはDPが8の同一の符号語( $F=1$ 、 $E=1$ )を2語直列に並べたパターンを用いる(例えば第3.7表の符号語256)。第5図に示すように、この24ビットの同期パターンのどの連続する12ビット(B12)にも、前記DPが8の符号語を構成するビット( $b_i$ :  $i=1-B$ )が必ず含まれるので、前記B12のDPも8になる。

一方、24ビットの中には少なくとも1語の12ビットの符号語が含まれる。従って、データ語に対応しているDPが6以下の符号語どうしを接続して生じるビット例のどの24ビットも、その内部の12ビットのDPが6以下になる部分を必ず含む。これらのことから、この同期パターンはデータ語に対応する符号語どうしを接続して得られるビット例の中には決して現われない。

今示したように、データ語に対応させる符号語と、同期パターンに用いる符号語を定めることで、 $d=2$ 、 $k=10$ を保ったままで、正しいブロック同期が保証できる。同様に、同期パターンとして

DPが-8の符号語( $F=1$ ,  $E=1$ )を2語直列に並べたパターンも用いれる(例えば第3.7表の符号語4256)。つまり、8/12符号には、データ中には決して現われない同期パターンに通したパターンが少なくとも2語存在する。

ここで、同期パターンとして次の2種類を選ぶ。

ビデオ用 : 111110011111111110011111

オーディオ用 : 000001100000000001100000

これらは互いに相補の関係にあり、ビデオとオーディオの同期パターンが完全に誤るには、24ビットの誤りが必要となる。しかし、通常状態の再生ビット誤り率は $1 \times 10^{-4}$ 以下、悪くても $1 \times 10^{-3}$ 以下であるから、この様な確率は全く無視しても差し支えない。

次に、本発明の実現化手段について第1図を用いて説明する。第1図において、保持回路1は周期的に送られてくる8ビットのデータ語を順々に保持する。保持回路1の出力は、符号語生成回路2および符号語生成回路3の入力とする。符号語生成回路2では、第3表における $E=1$ の“符号

語”および $E \neq 1$ の“符号語1”と、それらの符号語のL、Rブロックに関するパラメータF、Eを生成する。

ここで、符号語生成回路2の出力に現われる符号語を $CW_{i-1}$ とする。一方、符号語生成回路3では、第3表における $E \neq 1$ の“符号語2”を生成する。ここで、符号語生成回路3の出力に現われる符号語を $CW_i$ とする。なお、第3表における $\tau$ は保持回路1の出力に現われるデータ語に対応する。例えば、データ語の値が154であれば、第3表のNo.154の符号語100011100111が符号語生成回路2に現われる。

保持回路4は符号語生成回路2の出力を、保持回路5は符号語生成回路3の出力を、そして、保持回路6は、直前の符号語 $CW_{i-1}$ のRブロックに関するパラメータE、LBの値を保持する。なお、LBの値は符号語 $CW_{i-1}$ の最終ビットの値でよい。また、反転制御信号生成回路7は、第2表に従って符号語 $CW_i$ を裏パターンにするか否かを制御する値Yを生成する( $Y=1$ :裏パターン)。

ここで、前記符号語 $CW_i$ に関するTB、F、LBおよびEの値をそれぞれ $TB_i$ 、 $F_i$ 、 $LB_i$ 、 $E_i$ とする。また、直前の符号語 $CW_{i-1}$ に関するTB、F、LBおよびEの値をそれぞれ $TB_{i-1}$ 、 $F_{i-1}$ 、 $LB_{i-1}$ 、 $E_{i-1}$ とする。このとき、直前の符号語 $CW_{i-1}$ に関する反転情報を $Y_{i-1}$ とすると、符号語 $CW_i$ に関する反転情報 $Y_i$ は次の3条件を満たす場合に1になる。

(Y.1)  $LBX_{i-1} = 0$ ,  $F_i = 0$

(Y.2)  $LBX_{i-1} = 0$ ,  $E_{i-1} = 0$ 、かつ、 $F_i = 2$

(Y.3)  $LBX_{i-1} = 1$ ,  $E_{i-1} \neq 0$ 、かつ、 $F_i = 2$

ただし、 $LBX_{i-1}$ は $LB_{i-1}$ と $Y_{i-1}$ の排他的論理和により得られる。

一方、選択信号生成回路8は選択信号Sを生成し、この選択信号Sによりスイッチ9を切り換えることで、符号語生成回路2からの符号語と符号語生成回路3からの符号語のいずれか一方を選択する。この選択信号Sは次の条件を満足する場合のみ1になり、符号語生成回路3からの符号語を選択する。

(S.1)  $E_{i-1} = 0$ ,  $LBX_{i-1} \neq TB_i$ 、かつ、 $F_i = 1$

(S.2)  $E_{i-1} = 2$ ,  $LBX_{i-1} = TB_i$ 、かつ、 $F_i = 1$

条件(Y.1)~(Y.3)および(S.1)、(S.2)から分かるように、反転制御信号生成回路7と選択信号生成回路8は、いずれも簡単な論理回路で実現できる。次に、パラレル/シリアル変換器10はスイッチ9の出力に現われる12ビットパラレルの符号語を、シリアルデータに変換する。EXORゲート11は、パラレル/シリアル変換器10の出力と、反転制御信号生成回路7からの反転制御信号Yにより、シリアルな符号語を反転して、または不反転のまま送出する。

保持回路12、13は、パラレル/シリアル変換器10からの符号語出力と、この符号語に対する反転制御信号の時間調整のために用いている。一方、同期パターン生成回路14は、AV切り換え信号に基づいて、ビデオ区間では2語(24ビット)の同期パターン111110011111111110011111と $F=1$ 、 $E=1$ を生成し、オーディオ区間では2語の同期パターン000001100000000001100000と $F=1$ 、 $E$

= 1 を生成する。

これらの生成信号はカウンタ15からの同期パターン区間信号にしたがって、同期パターンをスイッチ16へ、Fをスイッチ17へ、Eをスイッチ18へそれぞれ送られる。スイッチ16, 17, 18は、カウンタ15からの同期パターン区間信号が0Nの間だけ同期パターン生成回路14からの各信号を選択して出力とする。この結果、同期パターンに関しては  $F = 1$ ,  $E = 1$  の符号語と全く同様に処理され、同期パターンが反転したり、同期パターンの前後で  $d$ ,  $k$  制限違反が生じることはない。

以上示したように、第1図の回路構成によって8ビットの符号語を12ビットのデータ語に変換し、変換後の12ビットのデータ語どうしを接続して生じるビット列における同一2進値の連続ビット数を、2以上10以下に制限する8/12符号において、データ中には決して現われないビデオ用とオーディオ用の2種類の同期パターンを生成できる。

一方、ビデオ用とオーディオ用の同期パターンの識別は、第6図に示す2種類の一致回路で容易

に実現できる。つまり、到来データとビデオ用の同期パターン11111001111111110011111との一一致を調べる一致検出回路19と、到来データとオーディオ用同期パターン000001100000000001100000との一致を調べる一致検出回路20である。

一致検出回路19では一致信号とビデオであることを示すAV識別信号( $= 0$ )を生成し、一致検出回路20では一致信号とオーディオであることを示すAV識別信号( $= 1$ )を生成する。この結果、同期パターン検出信号とAV識別信号を同時に得られる。この後、例えば従来の識別コードと併用して、さらにビデオとオーディオの識別誤り確立を低減することも可能である。

次に、第6図によって検出された同期パターン検出信号に基づいて、12ビットの符号語から8ビットのデータ語を復号する復号回路について説明する。符号語抽出信号生成回路22では、同期パターン検出信号により、再生ビット列から符号語の語境界を示す信号を生成する。符号語抽出回路23は、符号語抽出信号生成回路22の出力に基づいて、

再生ビット列から12ビット単位の符号語を抽出する。

この後、12ビットの符号語を8ビットのデータ語に復号する。従来の復号法では復号対象の12ビットを直接8ビットのデータ語に復号することになる。この復号をROM(Read Only Memory)で行うものとする、ROMに必要な容量は $2^{12} \times 8 = 32$ キロビットである。一方、本発明で用いる復号回路に必要なROMの容量は高々4キロビットである。以下、8/12符号の復号手法を説明し、ついで、復号回路について述べる。

8/12符号における復号法の特徴は、以下の2点である。

- (1) 復号対象の符号語の先頭ビットはすべて1にする。
- (2) 符号語そのものを復号対象とせず、符号語を分割して得られるビットパターンの識別コードを用いて復号する。

次に、このような特徴を持った復号法で、正しく復号できることを示す。

先に示したように、本発明の  $F \neq 1$  の符号語に関しては、1で始まる符号語  $W2$  と符号語  $W2$  の裏パターン  $W2'$  に同一のデータ語を対応させている。したがって、復号対象の符号語の  $F \neq 1$  であることがわかれば、この符号語が1で始まる符号語  $W2$  であるか、または、符号語  $W2$  の裏パターン  $W2'$  であるかを区別して復号する必要はない。このことから、 $F \neq 1$  の符号語については符号語  $W2$  と  $W2'$  に対して同一の識別コードを対応させればよい。

一方、 $F = 1$  の符号語に関しては、先頭ビットTBが1の符号語  $W2$  と、TBが0である符号語  $W2$  の裏パターン  $W2'$  には異なったデータ語を対応させている。したがって、符号語  $W2$  に対応するデータ語  $D$  と、符号語  $W2'$  に対応するデータ語  $D'$  を任意に選ぶ場合には、符号語  $W2$  と  $W2'$  を互いに区別できる識別コードを出力する必要がある。

しかしながら、符号語  $W2$  に対応するデータ語  $D$  と符号語  $W2'$  に対応するデータ語  $D'$  が相補的、つまり、データ語  $D$  のすべての1を0に反転し、かつ、すべての0を1に反転したデータ語が  $D'$



である場合には、符号語W2に対する識別コードと符号語W2'に対する識別コードを等しくできる。なぜならば、符号語W2に対する識別コードをIDとし、識別コードIDに対するデータ語出力をDとする。

このとき、符号語W2'に対する識別コードもIDであるから、データ語出力もDになる。ここで、符号語W2'のF=1であり、かつTB=0であることを検出すれば、復号器出力のデータ語Dのすべての1を0に、そして、すべての0を1に反転させる。こうすることで、最終的な符号語W2'に対応するデータ語D'が得られる。

以上示した復号法に基づいて構成した復号回路について、第7図を用いて説明する。第7図における12個の排他的論理和(EXOR)ゲート23と、12個の否定(NOT)ゲート24は、復号対象の12ビットの符号語を必ず1で始まる符号語に変換するためのものである。一例として、復号対象の符号語として100111001100を仮定する。この符号語の先頭ビットTBは1であり、EXORゲート23は否定として

働くので、NOTゲート24の出力は100111001100になる。

逆に、復号対象の符号語に011000110011を仮定すると、この符号語のTB=0であるから、EXORゲート23の出力には入力そのまま現われる。したがって、NOTゲート24の出力に100111001100が得られる。第7図における仮復号回路25は、NOTゲート24の出力に得られる必ず1で始まる符号語の上位6ビットに対する識別コードを生成する。第3表から分かるように、1で始まる符号語の上位6ビットは、第4表に示すように13通りである。

第4表

ID	ビ	ッ	ト	バ	ク	ア	ー	ン
0	1	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	1
2	1	0	0	0	0	1	1	1
3	1	0	0	1	1	1	0	0
4	1	0	0	1	1	1	1	1
5	1	1	0	0	0	0	0	0
6	1	1	0	0	0	0	1	1
7	1	1	1	0	1	1	1	1
8	1	1	1	0	0	0	0	0
9	1	1	1	0	0	0	1	0
10	1	1	1	1	1	0	0	0
11	1	1	1	1	1	1	0	0
12	1	1	1	1	1	1	1	1

したがって、上位6ビットに対する識別コード(ID)は4ビットで表わせる。さらに、仮復号回路25は復号対象の符号語のF=1かつTB=0のときのみ1になる反転制御信号Yをも出力する。なお、反転制御信号Yは簡単な論理回路により実現できる。また、第7図における仮復号回路26は、NOTゲート24の出力に得られる必ず1で始まる符号語の下位6ビットに対する識別コードを生成する。

第3表から分かるように、1で始まる符号語の下位6ビットは、第5表に示すように26通りである。

(以下余白)

第5表

ID	ビ	ッ	ト	バ	ク	ア	ー	ン
0	1	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	1
2	1	0	0	0	0	1	1	1
3	1	0	0	1	1	1	0	0
4	1	0	0	1	1	1	1	1
5	1	1	0	0	0	0	0	0
6	1	1	0	0	0	0	1	1
7	1	1	0	0	1	1	1	1
8	1	1	1	0	0	0	0	0
9	1	1	1	0	0	0	1	0
10	1	1	1	1	1	0	0	0
11	1	1	1	1	1	1	0	0
12	1	1	1	1	1	1	1	1
16	0	1	1	1	1	1	1	1
17	0	1	1	1	1	1	0	0
18	0	1	1	1	1	0	0	0
19	0	1	1	0	0	0	1	1
20	0	1	1	0	0	0	0	0
21	0	0	1	1	1	1	1	1
22	0	0	1	1	1	1	0	0
23	0	0	1	1	0	0	0	0
24	0	0	0	1	1	1	1	1
25	0	0	0	1	1	1	0	0
26	0	0	0	0	1	1	1	1
27	0	0	0	0	0	0	1	1
28	0	0	0	0	0	0	0	0

したがって、下位6ビットに対する識別コード(ID)は5ビットで表わせる。第6.1~6.2表は、このようにして得られる9ビットの識別コードは、第3表における1で始まる符号語に重複すること

なく対応する。

表 6.1 表

No.	ID	No.	ID	No.	ID	No.	ID
0	325	30	330	60	327	90	36
1	293	31	298	61	186	91	66
2	340	32	234	62	336	92	154
3	264	33	183	63	373	93	39
4	229	34	224	64	133	94	85
5	343	35	338	65	72	95	21
6	200	36	288	66	114	96	152
7	274	37	296	67	151	97	117
8	247	38	276	68	42	98	130
9	170	39	328	69	69	99	90
10	181	40	344	70	136	100	71
11	280	41	248	71	128	101	34
12	346	42	290	72	119	154	68
13	194	43	196	73	116	155	122
14	250	44	263	74	87	156	7
15	167	45	184	75	40	157	132
16	261	46	282	76	10	158	112
17	266	47	226	77	74	159	24
18	168	48	378	78	8	160	135
19	372	49	199	79	64	161	149
20	232	50	176	80	37	162	26
21	279	51	277	81	18	163	384
22	375	52	341	82	138	164	407
23	197	53	376	83	5	165	389
24	202	54	272	84	32	166	392
25	178	55	245	85	20	167	410
26	180	56	292	86	23	168	386
27	165	57	228	87	16	169	408
28	370	58	295	88			
29	192	59	231	89	120		

(以下余白)

排他的論理和を求めるためのものである。先に示したように、 $F=1$ の符号語については、1で始まる符号語とその裏パターンに対応するデータ語も互いに相補的である。したがって、 $F=1$ かつ $IB=0$ の符号語に対して $Y=1$ になるから、この場合のみ、EXORゲート28の出力は逆変換回路27の出力を反転させた値になり、正しい復号データが得られる。

以上示したように本発明の復号回路は、符号語そのものではなく、符号語を分割して得られるビットパターンに対する識別コードを用いることにより、復号に要するROMの容量を1/8に削減している。具体的に示すと、第7図における復号回路25及び26は、比較的簡単な論理回路（例えば、Programmable Logic Device）で容易に実現できる。

したがって、復号ROMに必要な容量は、アドレス9ビット、8ビット出力： $2^9 \times 8 = 4$ キロビットである。なお、本実施例では高密度記録に効果が大きい8/12変換符号を例示したが、他の記録符号に対しても有効である。

第 6.2 表

No.	ID	ID	No.	ID	ID
102	345	379	126	348	268
103	278	262	127	252	204
104	249	289	170	118	115
105	195	275	171	153	70
106	177	198	172	86	129
107	342	225	173	67	41
108	281	169	174	11	65
109	246	339	175	150	38
110	377	347	176	113	155
111	227	294	177	121	134
112	291	326	178	131	73
113	171	230	179	35	9
114	273	251	180	89	33
115	182	201	181	43	6
116	374	166	182	17	91
117	337	265	183	75	123
118	203	251	184	22	137
119	267	179	185	139	19
120	185	297	186	156	12
121	369	371	187	124	44
122	299	283	188	92	76
123	235	233	189	409	411
124	331	329	190	406	385
125	380	172	191	387	390

第7図における逆変換回路26は、第6表を実現するためのものであり、9ビットの識別コードに対するデータ語を出力する。

8個のEXORゲート28は、逆変換回路27からの8ビットのそれぞれに対して、反転制御信号Yとの

#### 発明の効果

本発明は、8ビットのデータ語を12ビットの符号語に符号変換し、 $d=2$ 、 $k=10$ なる高密度記録に適した性能を有する8/12符号に対して、前記 $d$ 、 $k$ 制限を保ったまま、データ中には決して現われない2種類の同期パターンを、それぞれビデオ用とオーディオ用に用いることができる。

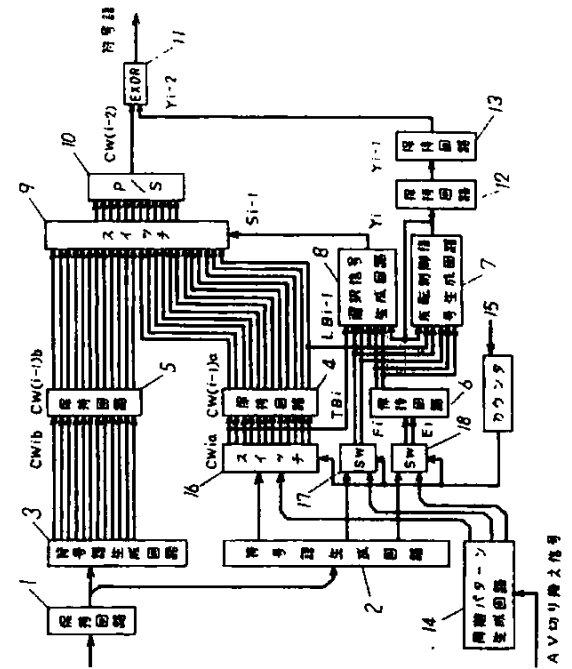
この結果、再生誤りに起因するビデオデータとオーディオデータの判定誤りを非常に大きく低減でき、全体的な誤り率を改善する。しかも本発明は、非常に実用的な回路構成で実現できるため、実用上の効果は大きい。以上のように、本発明は高密度記録を必要とする家庭用のデジタルVTRなどに有効である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の符号変換装置のブロック構成図、第2図は記録ブロックの説明図、第3図は符号語の構造図、第4図符号語どうしの接続を示す説明図、第5図は同期パターンの構造図、第6図は同期検出回路の回路図、第7図は復

号回路のブロック構成図である。

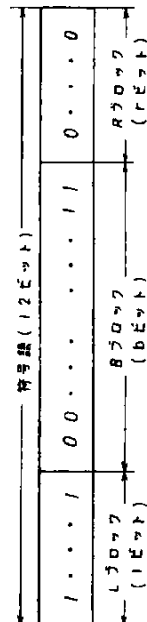
代理人の氏名 弁理士 小鍛治 明 ほか2名



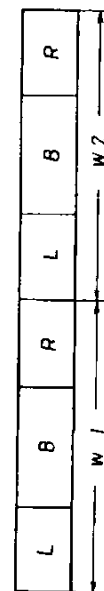
第 1 図



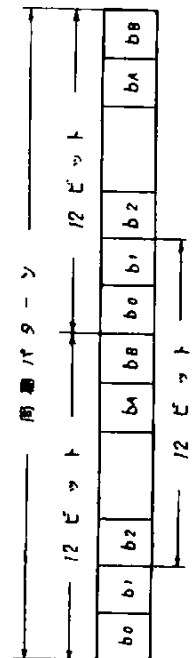
第 2 図



第 3 図

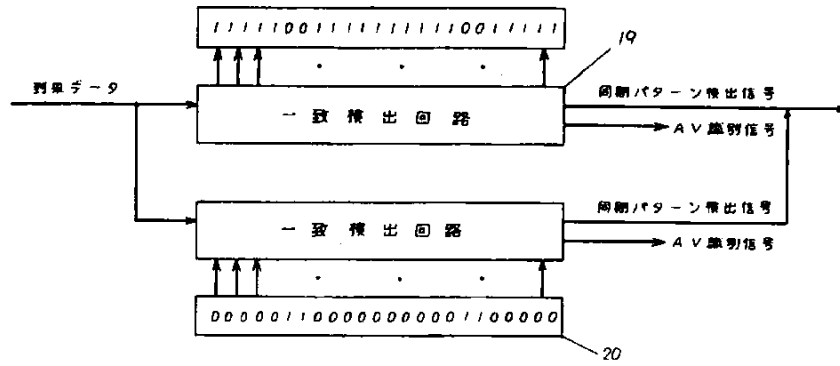


第 4 図



第 5 図

第 6 図



第 7 図

